

РОССИЙСКАЯ ФЕДЕРАЦИЯ



ПАТЕНТ

НА ИЗОБРЕТЕНИЕ

№ 2523939

СПОСОБ И УСТРОЙСТВО ДВУХТАКТНОГО ИНТЕГРИРОВАНИЯ С КОМПЕНСАЦИЕЙ ПОГРЕШНОСТЕЙ

Патентообладатель(ли): *Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования "Московский авиационный институт (национальный исследовательский университет)" (МАИ) (RU)*

Автор(ы): *Дембицкий Николай Леонидович (RU)*

Заявка № 2013114169

Приоритет изобретения **29 марта 2013 г.**

Зарегистрировано в Государственном реестре изобретений Российской Федерации **30 мая 2014 г.**

Срок действия патента истекает **29 марта 2033 г.**

*Руководитель Федеральной службы
по интеллектуальной собственности*

Б.П. Симонов

A handwritten signature in black ink, appearing to read "Симонов", is written over the printed name of the official.





ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ФОРМУЛА ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21)(22) Заявка: 2013114169/08, 29.03.2013

(24) Дата начала отсчета срока действия патента:
29.03.2013

Приоритет(ы):

(22) Дата подачи заявки: 29.03.2013

(45) Опубликовано: 27.07.2014 Бюл. № 21

(56) Список документов, цитированных в отчете о
поиске: RU 2247428 C1, 27.02.2005. RU
2222827 C1, 27.01.2004. SU 1764063 A1,
23.09.1992. SU 1695330 A1, 30.11.1991. JP
6081685 A, 09.05.1985. JP 5595180 A, 19.07.1980.
US 4651032 A, 17.03.1987

Адрес для переписки:

125993, Москва, А-80, Волоколамское ш., 4,
МАИ, Патентный отдел

(72) Автор(ы):

Дембицкий Николай Леонидович (RU)

(73) Патентообладатель(и):

Федеральное государственное бюджетное
образовательное учреждение высшего
профессионального образования
"Московский авиационный институт
(национальный исследовательский
университет)" (МАИ) (RU)**(54) СПОСОБ И УСТРОЙСТВО ДВУХТАКТНОГО ИНТЕГРИРОВАНИЯ С КОМПЕНСАЦИЕЙ ПОГРЕШНОСТЕЙ****(57) Формула изобретения**

1. Способ двухтактного интегрирования с компенсацией погрешностей, отличающийся тем, что в процессе интегрирования на входе интегрирующего устройства формируют два сигнала, значение напряжения первого сигнала равно входному напряжению в первом полупериоде и нулю во втором, значение напряжения второго сигнала равно входному напряжению во втором полупериоде и нулю в первом, выходной сигнал находят как сумму четырех составляющих напряжений, получаемых одновременным интегрированием сформированных на входе сигналов двумя симметричными интеграторами, первую составляющую получают интегрированием первым интегратором первого входного сигнала в первом полупериоде, вторую - как разность первой составляющей и напряжения, полученного интегрированием первого входного сигнала первым интегратором за полный период интегрирования, третью составляющую получают интегрированием вторым интегратором второго входного сигнала во втором полупериоде, четвертую составляющую получают интегрированием вторым интегратором второго входного сигнала в первом полупериоде и подают на вход сумматора с обратным знаком.

2. Устройство двухтактного интегрирования с компенсацией погрешностей, отличающийся тем, что состоит из двух одинаковых секций интегрирования, сумматора устройства, информационные входы обеих секций интегрирования подключены к

RU 2 523 939 C1

информационному входу устройства, входы обнуления секций подключены к первому управляющему входу устройства, вход подачи прямоугольного импульса периода интегрирования устройства подключен к четвертому управляющему входу первой секции интегрирования и к третьему управляющему входу второй секции интегрирования, вход подачи прямоугольного импульса первого полупериода устройства подключен ко второму и к третьему управляющим входам первой секции интегрирования и к четвертому управляющему входу второй секции интегрирования, вход подачи прямоугольного импульса второго полупериода подключен ко второму управляющему входу второй секции, первый выход первой секции подключен к первому входу сумматора устройства, второй выход первой секции подключен ко второму входу сумматора, второй выход второй секции подключен к третьему входу сумматора устройства, третий выход второй секции подключен к инверсному входу сумматора устройства, секция интегрирования содержит интегратор, два замыкающих ключа, коммутатор, два блока аналоговой памяти, схему вычитания на сумматоре, информационный вход секции интегрирования подключен к первому контакту коммутатора, второй контакт коммутатора подключен к информационному входу интегратора, третий контакт коммутатора подключен к нулевому потенциалу, второй управляющий вход секции подключен к управляющему контакту коммутатора, третий управляющий вход секции подключен к управляющему контакту первого замыкающего ключа, четвертый управляющий вход секции подключен к управляющему контакту второго замыкающего ключа, первый управляющий вход секции подключен к входу сброса интегратора, выход интегратора подключен к входным контактам первого и второго замыкающих ключей, выход первого замыкающего ключа подключен к входу первого блока аналоговой памяти, выход второго замыкающего ключа подключен к входу второго блока аналоговой памяти, выход первого блока аналоговой памяти подключен к первому входу сумматора секции интегрирования и к первому выходу секции интегрирования, выход второго блока аналоговой памяти подключен к инверсному входу сумматора и к третьему выходу секции интегрирования, выход сумматора секции интегрирования подключен к второму выходу секции интегрирования.

RU 2523939 C1